

DERWENT-ACC-NO: 2003-640850

DERWENT-WEEK: 200361

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor integrated circuit  
such as ball grid array  
package has dummy bumps provided at  
periphery of other  
bumps

PATENT-ASSIGNEE: NEC SAITAMA LTD[NIDE]

PRIORITY-DATA: 2002JP-0029294 (February 6, 2002)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 2003234435 A	005	August 22, 2003	N/A
		H01L 023/12	

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP2003234435A		N/A	
2002JP-0029294		February 6, 2002	

INT-CL (IPC): H01L023/12

ABSTRACTED-PUB-NO: JP2003234435A

BASIC-ABSTRACT:

NOVELTY - The ball-grid array package which has several dummy bumps (3) containing insulators arranged at the lower surface of a ball-grid array case (1), is fixed to the upper surface of a printed circuit board (4). The dummy bumps are provided at the periphery of the bumps (2).

USE - Semiconductor integrated circuit such as ball grid array package.

ADVANTAGE - Entry of fine foreign material in the gap between ball grid array case and printed circuit board, is prevented, due to the presence of bumps.

DESCRIPTION OF DRAWING(S) - The figure shows the elevation of the ball grid array case. (Drawing includes non-English language text).

ball grid array case 1

VAMP 2

printed circuit board VAMP for dummies(4

dividing asterisk wall 8

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: SEMICONDUCTOR INTEGRATE CIRCUIT BALL GRID  
ARRAY PACKAGE DUMMY BUMP  
PERIPHERAL BUMP

DERWENT-CLASS: U11

EPI-CODES: U11-C05G; U11-D01A3; U11-D01A5;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2003-510064

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-234435

(P2003-234435A)

(43) 公開日 平成15年8月22日 (2003.8.22)

(51) Int.Cl.

H 0 1 L 23/12

識別記号

5 0 1

F I

H 0 1 L 23/12

テマコード (参考)

5 0 1 Z

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2002-29294 (P2002-29294)

(22) 出願日 平成14年2月6日 (2002.2.6)

(71) 出願人 390010179

埼玉日本電気株式会社

埼玉県児玉郡神川町大字元原字豊原300番  
18

(72) 発明者 大沢 章人

埼玉県児玉郡神川町大字元原字豊原300番  
18 埼玉日本電気株式会社内

(74) 代理人 100109313

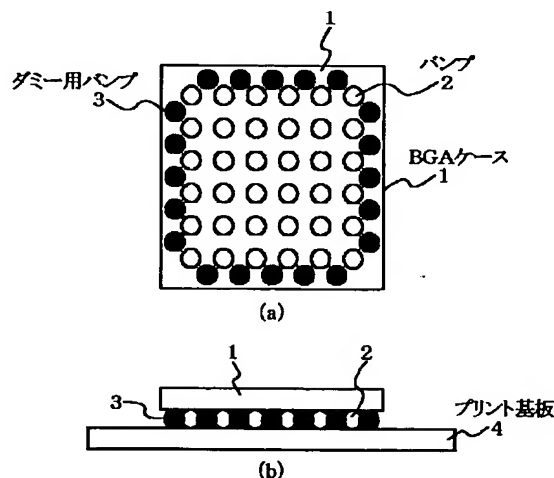
弁理士 机 昌彦 (外2名)

(54) 【発明の名称】 半導体集積回路パッケージ

(57) 【要約】

【課題】 BGAパッケージのバンパ配列内に異物が入り込まないようにする。

【解決手段】 BGAケース1の下面に格子状に配列したバンパ2をプリント基板4の上面に同じく格子状に配列したパッドに半田付けすることにより、BGAケース1をプリント基板4に搭載する。さらにBGAケース1の縁に沿ってバンパ2の格子状の配列の周囲を包囲するようにダミー用バンパ3が配置されている。しかも、ダミー用バンパ3の配列をバンパ2の配列に対し半ピッチだけずらすため、側面からBGAパッケージを見ると、ダミー用バンパ3がバンパ2相互間の隙間を埋めるように配置されている。BGAパッケージでは一般的に、バンパ球直径 $\geq$ バンパ間隔であるため、半田屑5等の異物がBGAケース1の下面に入り込むんでもバンパ2とダミー用バンパ3の配列により、異物を遮断し、BGAケース1の側面でバンパ2の配列内への侵入を食い止めることができる。



## 【特許請求の範囲】

## 【発明の特徴】

【請求項1】 半導体集積回路を有するケースと、このケースを搭載するプリント基板と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電氣的に接続する複数のバンパと、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパとを含むことを特徴とする半導体集積回路パッケージ。

【請求項2】 半導体集積回路を有するケースと、このケースを搭載するプリント基板と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電氣的に接続する複数のバンパと、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパとを含み、前記ダミー用バンパそれぞれは前記バンパのうちの最外周に並べられたものの隣接するもの同士の間に対応して配置されたことを特徴とする半導体集積回路パッケージ。

【請求項3】 半導体集積回路を有するケースと、このケースを搭載するプリント基板と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電氣的に接続する複数のバンパと、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパとを含み、前記バンパは行列をなす格子状に配列され、前記ダミー用バンパは前記バンパが配置される行の間に対応して配置されたものと前記バンパが配置された列の間に対応して配置されたものとからなることを特徴とする半導体集積回路パッケージ。

【請求項4】 半導体集積回路を有するケースと、このケースを搭載するプリント基板と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電氣的に接続する複数のバンパと、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパとを含み、前記ダミー用バンパは外側および内側の2列に千鳥状に並べられたものを有することを特徴とする半導体集積回路パッケージ。

【請求項5】 前記ダミー用バンパは絶縁物からなることを特徴とする請求項1～4のいずれかに記載の半導体集積回路パッケージ。

【請求項6】 半導体集積回路を有するケースと、このケースを搭載するプリント基板と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電氣的に接続する複数のバンパと、前記ケースの外周において前記ケースと前記プリント基板との間を塞ぐ隔壁とを含むことを特徴とする半導体集積回路パッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路パッケージに関し、特に半導体集積回路を内蔵したBGA（ボールグリッドアレイ）ケースがBGA方式によりプリント基板に搭載されたBGAパッケージに関する。

## 【0002】

【従来の技術】図5（a）は、従来のBGAパッケージのBGAケース1のみを示す底面図であり、図5（b）は、BGAケース1およびプリント基板4を示す正面図である。

【0003】図5のBGAパッケージは、BGAケース1の下面に行列をなす格子状に配列したバンパ2をプリント基板4の上面に同じく格子状に配列したパッドに半田付けすることにより、BGAケース1をプリント基板4に搭載している。

【0004】BGAパッケージでは、バンパ2相互の間隔LおよびBGAケース1とプリント基板4との間隔Hがあるため、L×H以下の大きさの半田屑5やリード線屑6等の微細な異物がバンパ2の間からバンパ2が格子状に配列された内部に入り込むことがある。

## 【0005】

【発明が解決しようとする課題】従来のBGAパッケージは、装置の評価や改造中に、BGAケース1とプリント基板4との間の隙間に微細な半田屑5やリード線屑6等の導電性の異物が入り込んでバンパ2すなわちBGAケース1の端子間をショートさせることが多く、BGAケース1内の集積回路の動作不良や故障の原因になることが多かった。

【0006】異物が入り込む所がBGAケース1の裏側であるため、奥まで入り込んでしまった場合、直接目視で異物を確認することができず、原因の特定ができない場合が多かった。仮にX線写真の撮影により、原因が異物であることが特定できても、その異物がBGAケース1とプリント基板4との隙間の奥まで入り込んでしまった場合は、BGAケース1をプリント基板4から取り外して搭載し直すリワークを要するため、異物除去を容易に実施できなかった。

## 【0007】

【課題を解決するための手段】本発明の半導体集積回路パッケージは、半導体集積回路を有するケース（図1の1）と、このケースを搭載するプリント基板（図1の4）と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電氣的に接続する複数のバンパ（図1の2）と、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパ（図1の3）とを含むことを特徴とする。

【0008】本発明の半導体集積回路パッケージは、半導体集積回路を有するケース（図1の1）と、このケー

スを搭載するプリント基板（図1の4）と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電気的に接続する複数のバンパ（図1の2）と、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパ（図1の3）とを含み、前記ダミー用バンパそれぞれは前記バンパのうちの最外周に並べられたものの隣接するもの同士の間に対応して配置されたことを特徴とする。

【0009】本発明の半導体集積回路パッケージは、半導体集積回路を有するケース（図1の1）と、このケースを搭載するプリント基板（図1の4）と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電気的に接続する複数のバンパ（図1の2）と、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパ（図1の3）とを含み、前記バンパは行列をなす格子状に配列され、前記ダミー用バンパは前記バンパが配置される行の間に対応して配置されたものと前記バンパが配置された列の間に対応して配置されたものとからなることを特徴とする。

【0010】本発明の半導体集積回路パッケージは、半導体集積回路を有するケース（図1の1）と、このケースを搭載するプリント基板（図1の4）と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電気的に接続する複数のバンパ（図1の2）と、前記複数のバンパの周囲を包囲するように配置され前記ケースの下面および前記プリント基板の上面に固着された複数のダミー用バンパ（図1の3）とを含み、前記ダミー用バンパは外側および内側の2列に千鳥状に並べられたものを有することを特徴とする。

【0011】上述の半導体集積回路パッケージは、前記ダミー用バンパは絶縁物からなるようにすることもできる。

【0012】本発明の半導体集積回路パッケージは、半導体集積回路を有するケース（図4の1）と、このケースを搭載するプリント基板（図4の4）と、前記ケースの下面に設けられた導体および前記プリント基板の上面に設けられた導体を電気的に接続する複数のバンパ（図4の2）と、前記ケースの外周において前記ケースと前記プリント基板との間を塞ぐ隔壁（図4の8）とを含むことを特徴とする。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0014】図1（a）は、本発明の第1の実施の形態のBGAパッケージのBGAケース1のみを示す底面図であり、図1（b）は、BGAケース1およびプリント基板4を示す正面図である。

【0015】図1のBGAパッケージも、BGAケース

1の下面に行列をなす格子状に配列したバンパ2をプリント基板4の上面に同じく格子状に配列したパッドに半田付けすることにより、BGAケース1をプリント基板4に搭載する。

【0016】本実施の形態のBGAパッケージでは、さらにBGAケース1の縁に沿ってバンパ2の格子状の配列の周囲を包囲するようにダミー用バンパ3が配置されている。しかも、ダミー用バンパ3の配列をバンパ2の配列に対し半ピッチだけずらしているため、側面からBGAパッケージを見ると、ダミー用バンパ3がバンパ2相互間の断面積が $L \times H$ の隙間を埋めるように配置されている。BGAパッケージでは一般的に、バンパ球直径 $\geq$ バンパ間隔 $L$ であるため、ダミー用バンパ3でバンパ2相互の間の隙間をほぼ覆い隠す状態にできる。

【0017】従って、断面積 $H \times L$ 程度の半田屑5やリード線屑6等の異物がBGAケース1の下面に入り込んでもバンパ2とダミー用バンパ3の配列により、異物を遮断し、BGAケース1の側面でバンパ2の配列内への異物の侵入を食い止めることができる。仮に、バンパ2、ダミー用バンパ3に、異物がそのまま付着しても、奥まで入り込むことがないので、BGAパッケージの側面を目視で検査することにより異物を検出でき、ピンセット等による異物の除去が容易に行える。

【0018】なお、ダミー用バンパ3をバンパ2の配列に対し半ピッチだけずらす場合に限られず、例えばダミー用バンパ3をバンパ2の配列のピッチよりも細かなピッチで並べるようにしても本発明は適用できる。

【0019】図3は、本発明の第2の実施の形態のBGAパッケージのBGAケース1の底面図で、バンパ2の配列の周囲にダミー用バンパ3を2列に並べ、内側の列に並べたダミー用バンパ3と外側の列に並べたダミー用バンパ3との位置を互い違いにして千鳥状に配置している。このようにすることにより、バンパ2の最も外側に並べられたものを含めて全てのバンパ2に異物が付着しないようにできる。

【0020】ダミー用バンパ3は、半田等の導電性のものを使用してもよいが、樹脂等の絶縁性のものを使用してもよい。導電性のものを使用した場合は、BGAケース1の接地回路等をプリント基板4に接続する配線をダミー用バンパ3が兼ねるようにすることもできる。ただし、この場合は、ダミー用バンパ3およびバンパ2の両方に付着する異物を外観検査等により必ず取り除いておく必要がある。

【0021】第1または第2の実施の形態のBGAパッケージは、ダミー用バンパ3で異物の侵入を防いでいるため、BGAパッケージをカバーで覆うようなことを必要とせず、簡単にバンパ2配列内への異物の侵入を防止できる。特に、ダミー用バンパ3をバンパ2と同じ材質とすること等で、ダミー用バンパ3をバンパ2と同じ条件で同時にBGAケース1に取り付け、BGAケース1

を通常のバンパによるのと同じ条件で簡単にプリント基板4に搭載することができることとなる。

【0022】図4(a)は、本発明の第3の実施の形態のBGAパッケージのBGAケース1のみを取り除いた平面図であり、図1(b)は、BGAケース1およびプリント基板4を示す縦断面図である。

【0023】本実施の形態では、ダミー用バンパ3を設けていないBGAケース1をプリント基板上に実装後に、BGAケース1の周囲を囲む異物遮断用の隔壁8をプリント基板4に外付け実装する。例えば金属板を折り曲げた枠をプリント基板4に半田付けして隔壁8とすることができる。異物のBGAケース1とプリント基板4との間隙への侵入は、隔壁8により遮断される。

【0024】本実施の形態は、ダミー用バンパ3を付加していない通常の形態のBGAケースを使用できるため、通常の形態のものとして既に設計済みのBGAケースや装置に実装済みの通常の形態のBGAケースに対しても、再設計やリワーク等を行わずに、隔壁8を外付けすることにより容易に適用できる。

【0025】

【発明の効果】第1の効果は、BGAケースとプリント基板の隙間に微細な異物が入り込んでも、バンパとダミー用バンパとの配列により、またはダミー用バンパのみの配列により、BGAケースの側部で異物の侵入を遮断し、電気信号用等のバンパの配列内にまで異物が侵入するのを防止できる点である。また、BGAケースの周囲に設けた隔壁により、BGAケースとプリント基板の隙間に微細な異物が入り込んでしまうのを防止できる点である。

【0026】第2の効果は、BGAケースとプリント基板との隙間に微細な異物が入り込んでも、ダミー用バンパが異物の進入をBGAケースの側部で遮断するため、入り込んだ異物を外側から目視で容易に確認ができ、且つ、ピンセット等で容易に除去ができる点である。

【0027】第3の効果は、半田屑やリード線屑等の微細な導電性の異物がBGAケースとプリント基板との間のバンパの配列内に入り込むことによるバンパ間のショートを防止できる点である。

【図面の簡単な説明】

【図1】(a)は、本発明の第1の実施の形態のBGAパッケージのBGAケース1のみの底面図である。

(b)は、本発明の第1の実施の形態のBGAパッケージのBGAケース1およびプリント基板4の正面図である。

【図2】(a)は、図1に示したBGAパッケージのバンパ2とダミー用バンパ3との位置関係を示すためのBGAケース1のみの底面図である。(b)は、図1に示したBGAパッケージのBGAケース1とプリント基板4との間隔Hを示すための正面図である。

【図3】本発明の第2の実施の形態のBGAパッケージのBGAケース1の底面図である。

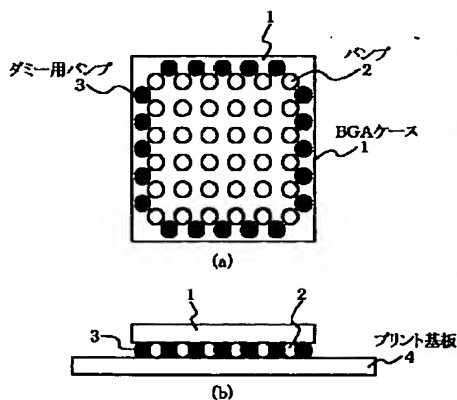
【図4】(a)は、本発明の第3の実施の形態のBGAパッケージのBGAケース1を除いた状態の平面図である。(b)は、本発明の第3の実施の形態のBGAパッケージのBGAケース1およびプリント基板4の縦断面図である。

【図5】(a)は、従来のBGAパッケージのBGAケース1のみの底面図である。(b)は、従来のBGAパッケージのBGAケース1およびプリント基板4の正面図である。

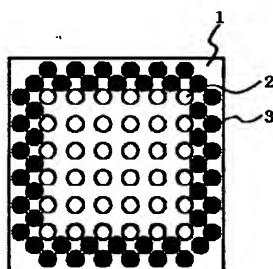
【符号の説明】

- 1 BGAケース
- 2 バンパ
- 3 ダミー用バンパ
- 4 プリント基板
- 5 半田屑
- 6 リード線屑
- 8 隔壁

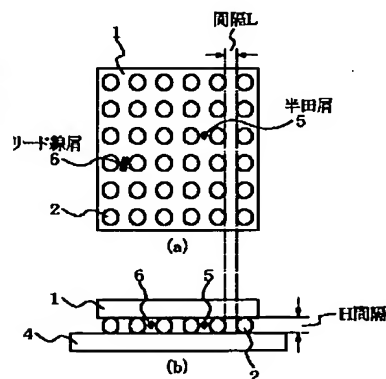
【図1】



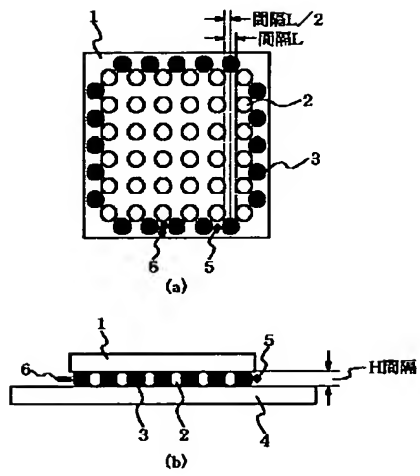
【図3】



【図5】



【図2】



【図4】

